

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 1 月 13 日 (13.01.2005)

PCT

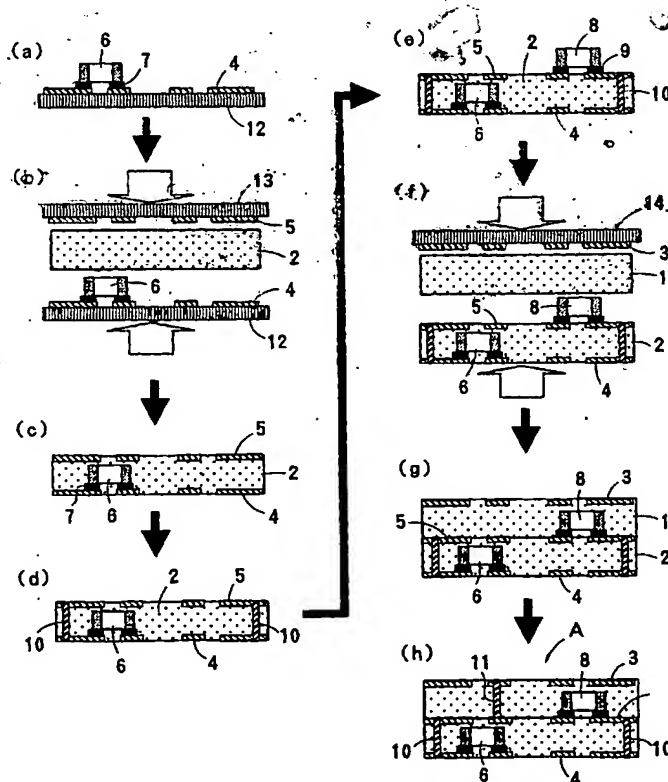
(10) 国際公開番号
WO 2005/004567 A1

- (51) 国際特許分類: H05K 3/46
- (21) 国際出願番号: PCT/JP2004/004380
- (22) 国際出願日: 2004 年 3 月 26 日 (26.03.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-191571 2003 年 7 月 4 日 (04.07.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市天神 2 丁目 2 番 1 0 号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 池田 治彦 (IKEDA, Haruhiko) [JP/JP]; 〒6178555 京都府長岡京市天神 2 丁目 2 番 1 0 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 筒井 秀隆 (TSUTSUI, Hidetaka); 〒6308115 奈良県奈良市大宮町 7 丁目 2 - 5 田村ビル Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: PROCESS FOR PRODUCING SUBSTRATE INCORPORATING COMPONENT

(54) 発明の名称: 部品内蔵基板の製造方法



(57) Abstract: A first electronic component (6) is connected fixedly to a first electrode pattern (4) formed on a first supporting layer (12) through a conductive bonding material (7), a second supporting layer (13) having a second electrode pattern (5) is pressure bonded/transfered through a first prepreg (2) to the surface side of the first supporting layer (12) which is fixed with the electronic component, and then the first supporting layer (12) and the second supporting layer (13) are stripped from the first prepreg (2). Subsequently, the first prepreg (2) is hardened. A second electronic component (8) is connected fixedly to the rear surface of the second electrode pattern (5) through a conductive bonding material (9), a third supporting layer (14) having a third electrode pattern (3) is pressure bonded/transfered through a second prepreg (1) to the surface side being fixed with the second electronic component, and then the third supporting layer (14) is stripped from the second prepreg (1) which is eventually hardened. When such prepregs (1, 2) and electrode patterns (3, 4, 5) are layered sequentially, connection resistance is decreased between the electrode patterns being layered or between the electrode pattern and the electronic component, and a substrate A incorporating a component and exhibiting high connection reliability is obtained.

(57) 要約: 第 1 支持層 12 上に形成された第 1 電極パターン 4 に第 1 電子部品 6 を導電性接合材 7 により接続固定し、第 1 支持層 12 の電子部品固定面側に第 1 プリプレグ 2 を間にし

[続葉有]



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が
可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,
SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,
KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

て第2電極パターン5を有する第2支持層13を圧着・転写し、第1プリブレグ2から第1支持層12と第2支持層13とを剥離する。剥離後、第1プリブレグ2を硬化させる。第2電極パターン5の裏面に第2電子部品8を導電性接合材9により接続固定し、第2電子部品固定面側に第2プリブレグ1を間にして第3電極パターン3を有する第3支持層14を圧着・転写し、第2プリブレグ1から第3支持層14を剥離し、第2プリブレグ1を硬化させる。このようにプリブレグ1、2と電極パターン3、4、5とを順次積層していくことで、積層される電極パターン間あるいは電極パターンと電子部品との接続抵抗を低くし、接続信頼性が高い部品内蔵基板Aを得る。